

# Uma Abordagem do Uso de RISC-V em Computação de Alto Desempenho (HPC)

Leon Barboza    Evaldo Costa

Centro de Estudos e Sistemas Avançados do Recife (CESAR)



C . e . S . A . R

X Escola Regional de Alto Desempenho da Região Sudeste (ERAD-SE 2025)

# Outline

- 1 O que é RISC-V?
- 2 Características do RISC-V
- 3 Soluções de RISC-V para HPC
- 4 Conclusão

# O que é RISC-V?

# Padrões Abertos

Área	Padrão Aberto	Impl. Aberta	Proprietária
OS	POSIX	Linux, BSD	Windows
Compiladores	C	gcc, LLVM	icx
BD	SQL	PostgreSQL	DB2
ISA	???	—	x86, ARM

# Empresas fecham e produtos são descontinuados

## Intel:

- i960
- i860
- Itanium

## DEC:

- PDP-11
- VAX
- Alpha

## MIPS:

- MIPS I-V
- MicroMIPS
- NanoMIPS

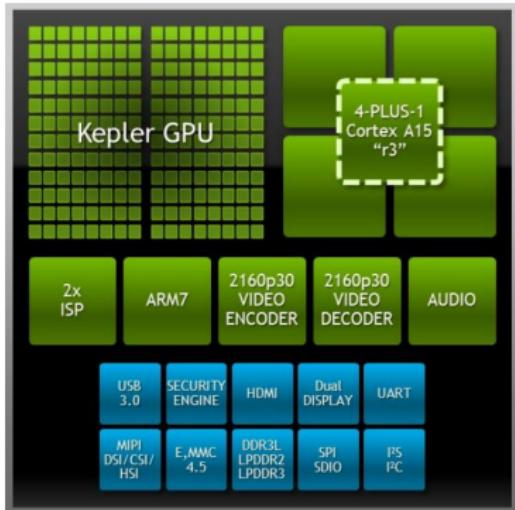
## Sun Microsystems:

- SPARC
- MAJC

# Balcanização de SoCs

- Processadores gráficos
- Processadores de imagem
- DSPs de rádio
- DSPs de áudio
- Processadores de segurança
- Processador de gerenciamento de energia

Por quê?

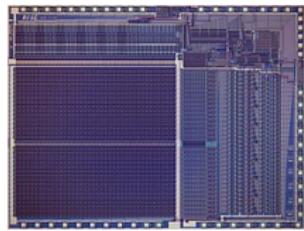


E se tivessimos uma ISA estável e aberta que pudesse ser usada para tudo?

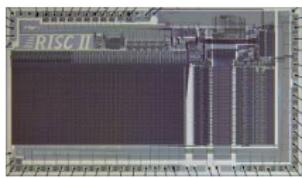
# O Nascimento do RISC-V

- Em 2010, após muitos anos e projetos de pesquisa usando MIPS, SPARC e x86, o grupo de arquitetura da UC Berkeley precisava escolher uma ISA para a próxima geração de projetos.
- Escolhas óbvias: x86 e ARM.
  - x86: Impossível – muito complexo, problemas de propriedade intelectual (IP).
  - ARM: Praticamente impossível – complexo, sem versão 64-bit em 2010, problemas de IP.
- Então, iniciou-se um "projeto de 3 meses" durante o verão de 2010 para desenvolver uma ISA do zero.
- **Origem Acadêmica:** O projeto visava criar uma ISA limpa e prática para pesquisa e educação, liderado por Krste Asanović e David Patterson, com os principais projetistas sendo Andrew Waterman e Yunsup Lee.

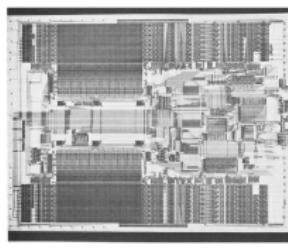
# Evolução dos Processadores RISC



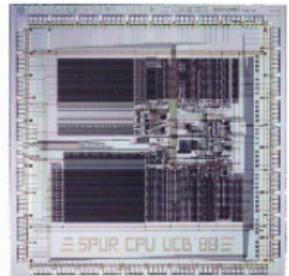
RISC-I (1981)



RISC-II (1983)



SOAR (1984)



SPUR (1988)

- RISC-V é uma ISA livre e aberta.
- A especificação base do usuário foi congelada e lançada em 2014, com contribuição, ratificação e publicação aberta pela RISC-V International.
- Fundada em 2015, a RISC-V International é uma entidade sem fins lucrativos a serviço dos membros e da indústria.
- Objetivos
  - Impulsionar a progressão de especificações ratificadas, suítes de conformidade e outras entregas técnicas.
  - Expandir o ecossistema e o número de membros, promovendo diversidade e prevenindo fragmentação.

# Hardware: Ecossistema RISC-V

## Cores de Código Aberto

Rocket, BOOM, RI5CY, Ariane, PicoRV32, Piccolo, SCR1, Swerv, Hummingbird, WARP-V, XiangShan, BlackParrot, ...

## In-house

Nvidia, WDC, Seagate, Huawei, Alibaba, ...

## Fornecedores de Cores Comerciais (IP)

Alibaba, Andes, Bluespec, Cloudbear, Cobham, Codasip, Cortus, Imagination, InCore, MIPS, Nuclei, NSITEXE, Semidynamics, **SiFive**, StarFive, Syntacore, ...

## Fornecedores de Chips Comerciais

Alibaba, Bouffalo, EdgeQ, Esperanto, Espressif, Gigadevice, LeapFive, Microchip, Mythic, Renesas, Rivos, StarFive, TensTorrent, UntetherAI, WCH, Ventana, ...

# Características do RISC-V

# Comparando Modelos de Negócio de ISAs

ISA	Chips?	Licença?	IP de Core Comercial?	Instruções Próprias?	IP de Core Open-Source?
<b>x86</b>	Sim, <b>dois</b> fornecedores	Não	Não	Não	Não
<b>ARM</b>	Sim, <b>muitos</b> fornecedores	Sim, <b>caro e restritivo</b>	Sim, <b>um</b> fornecedor	Não	Não
<b>RISC-V</b>	Sim, <b>muitos</b> fornecedores	Sim, <b>gratuito</b>	Sim, <b>muitos</b> fornecedores	Sim	Sim, <b>muitos disponíveis</b>

# Modularidade e Extensões do RISC-V

- Arquitetura modular: base mínima e extensões opcionais.
- Núcleo base: **RV32E**, **RV32I**, **RV64I** ou **RV128I**.
- Extensões padronizadas:
  - **M**: multiplicação/divisão inteiras
  - **A**: operações atômicas
  - **F/D**: ponto flutuante (32/64 bits)
  - **C**: instruções compactadas
- Extensões personalizadas podem ser adicionadas sem quebrar compatibilidade.

# Profiles do RISC-V

- Perfis simplificam a configuração mínima recomendada.
- Exemplos:
  - **RVA20**: perfil de aplicações, inclui MAFD + C + suporte a SO.
  - **RV64GC**: geral, com extensões MAFD + C — usado em sistemas completos.

# Soluções de RISC-V para HPC

# Empresas com Soluções RISC-V

## InspireSemi

- Processadores: Thunderbird

## Ventana

- RISC-V: Veyron V3, Veyron V2
- Aceleradores IA: Veyron E2X

## SiFive

- IP: Performance P800 Series (P870-D)
- IP: Intelligence XM Series (Gen 2)

## Semidynamics

- IP: NPU — Cervell
- IP: CPU — Atrevido, Avispado

## Esperanto

- Processadores: ET-SoC-1 Chip
- PCIe Boards: ET-SoC-1 PCIe Card
- Servidores: Esperanto AI/HPC compute server

## Hardware:

- Processadores RISC-V:
  - SG200X
  - SG2044
  - SG2042
- Servidores:
  - RISC-V 42U Server Cluster SRC1-10
  - RISC-V Compute Server SRA3-40
  - RISC-V Fusion Server SRM1-20

## Artigos:

- Is RISC-V ready for High Performance Computing? An evaluation of the Sophon SG2044
- Parallel FFTW on RISC-V: A Comparative Study including OpenMP, MPI, and HPX
- Monte Cimone v2: Down the Road of RISC-V High-Performance Computers
- Is RISC-V ready for HPC prime-time: Evaluating the 64-core Sophon SG2042 RISC-V CPU

# Pioneer - SG2042



Figure: Pioneer Box

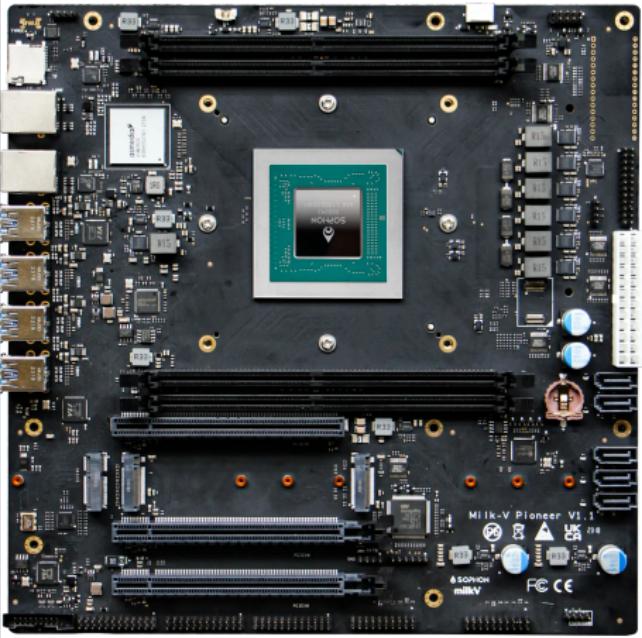


Figure: Pioneer Board

# Cluster Monte Cimone

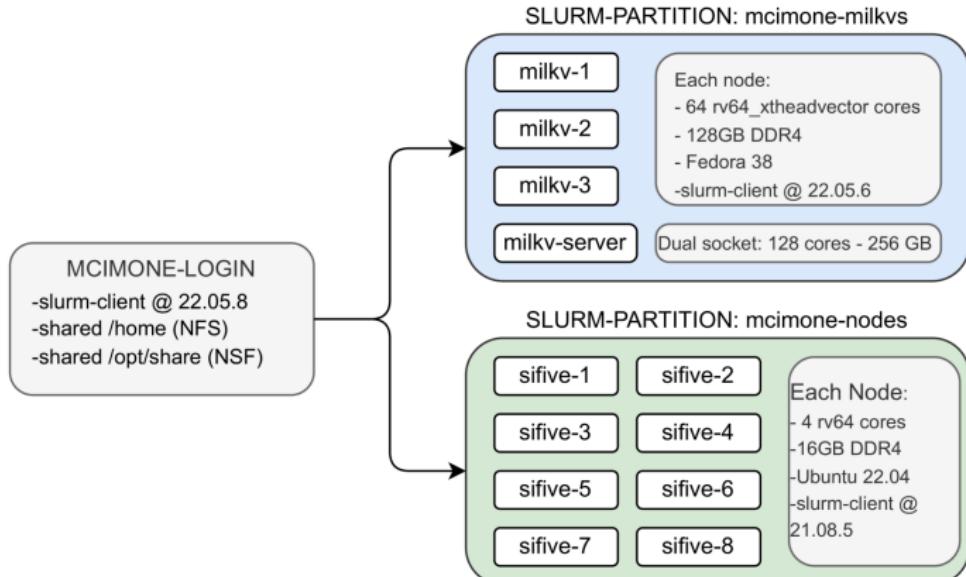


Figure: Monte Cimone V1 + V2

Reference:

Monte Cimone v2: Down the Road of RISC-V High-Performance Computers

# Cluster Monte Cimone

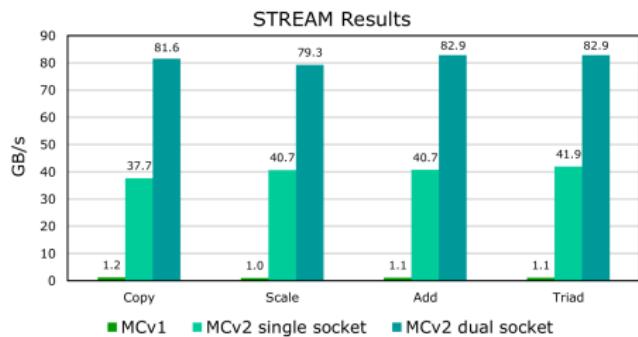


Figure: Resultado STREAM

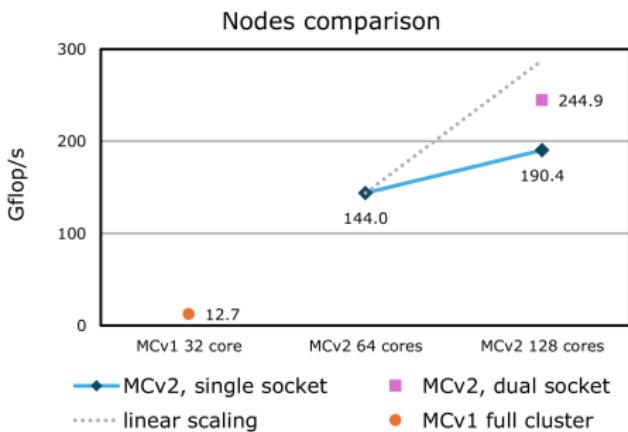


Figure: Resultado HPL

## Reference:

Monte Cimone v2: Down the Road of RISC-V High-Performance Computers

# Sophon SG2044



# Sophon SG2044

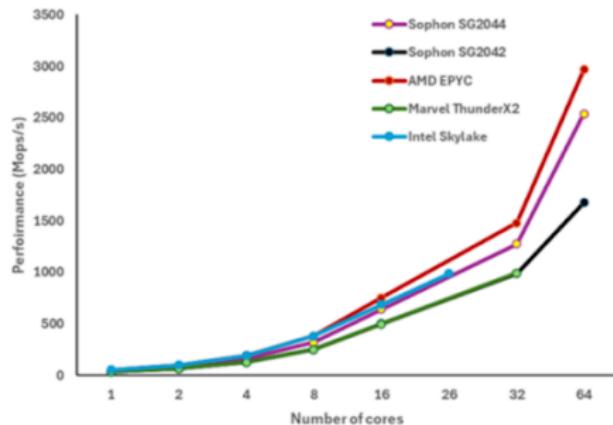


Figure: CPUs

Figure: Resultado NPB EB

Reference:

Is RISC-V ready for High Performance Computing? An evaluation of the Sophon SG2044

# Soluções TensTorrent

## Hardware:

- PCIe Boards:
  - Blackhole
  - Wormhole
- Workstations:
  - TT-Quietbox
  - TT-LoudBox
- Servidor:
  - TensTorrent Galaxy Wormhole Server

## Software:

- TT-Forge
- TT-Metallium
- TT-LLK

## IP:

- CPU TT-Ascalon
- Tensix Neo

## Artigos:

- Exploring Fast Fourier Transforms on the TensTorrent Wormhole
- Assessing TensTorrent's RISC-V MatMul Acceleration

# Arquitetura Tensix

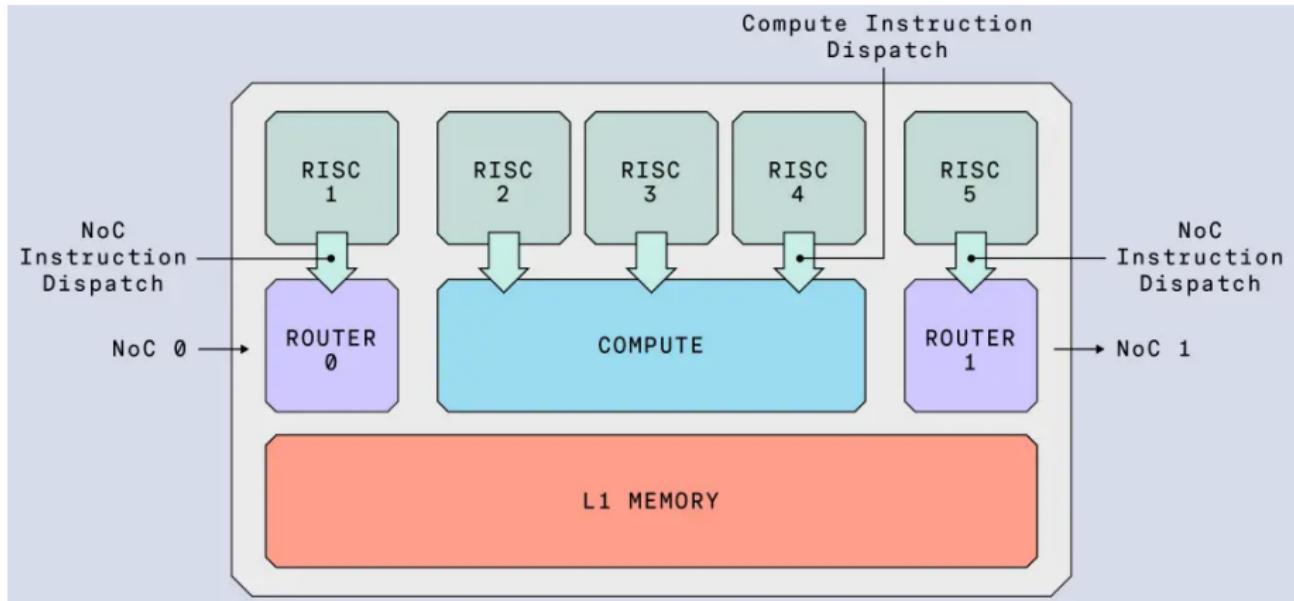
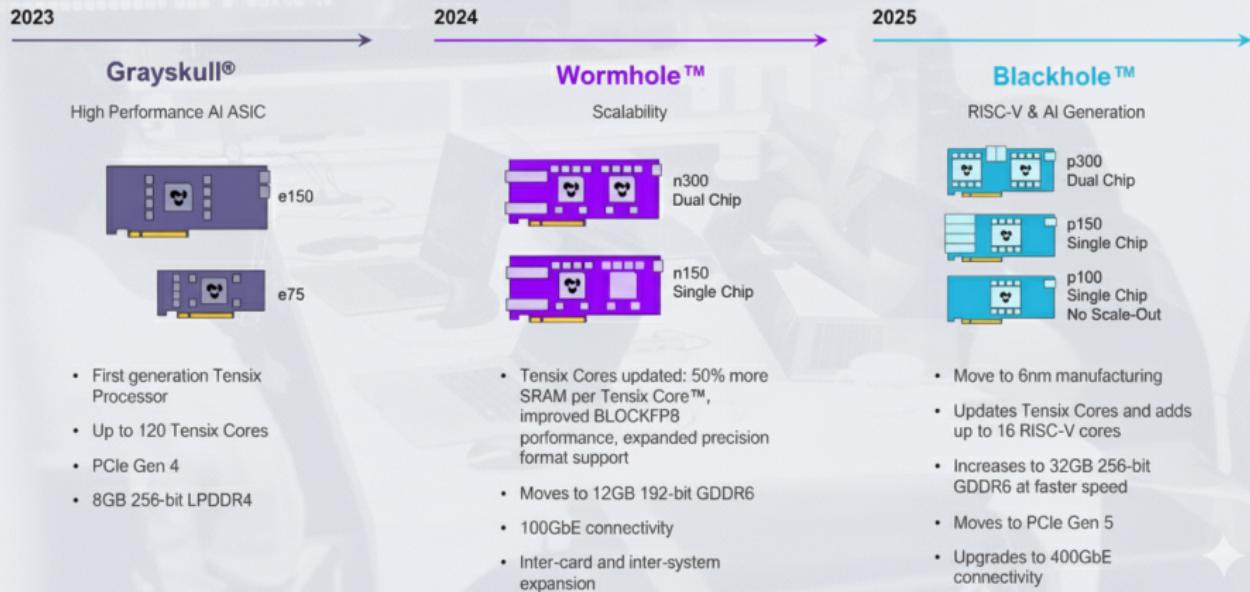


Figure: Tensix Core

# Roadmap



# Blackhole

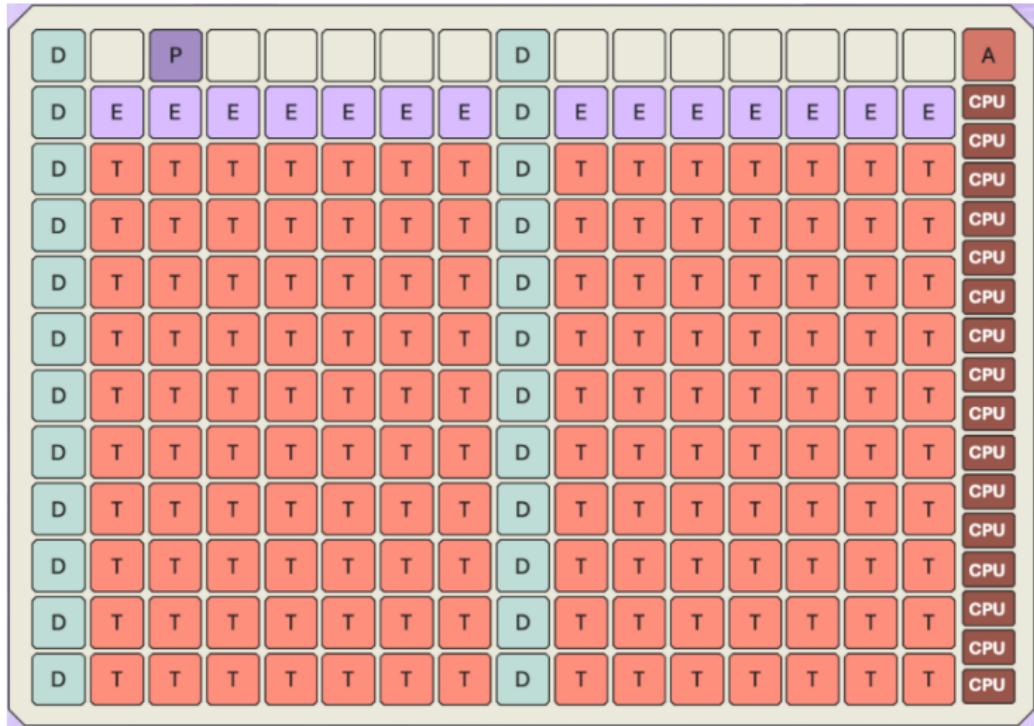
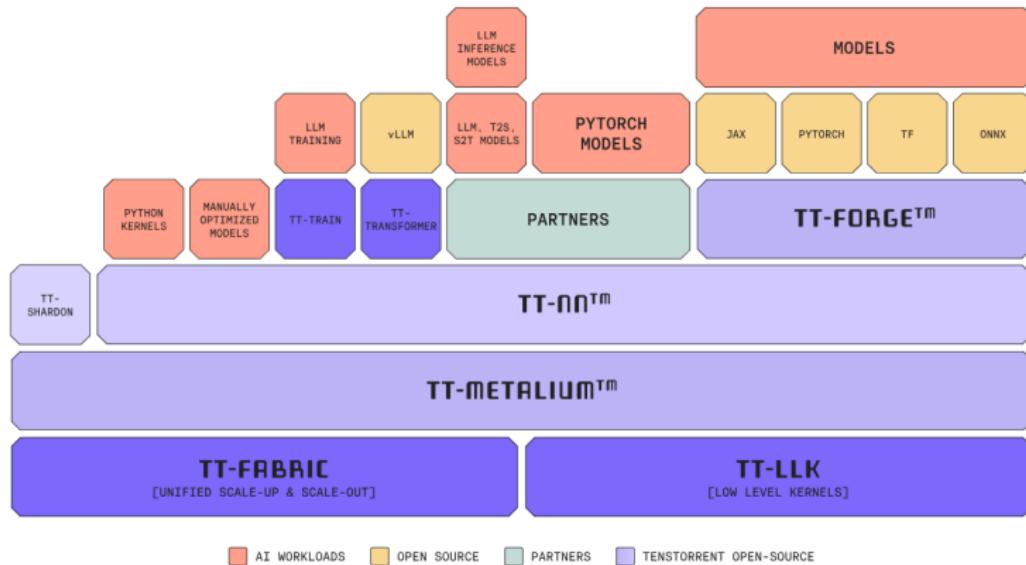


Figure: Blackhole - Standalone AI Computer (SiFive Intelligence X280)

# Pilha de Software TensTorrent



# Grayskull e75

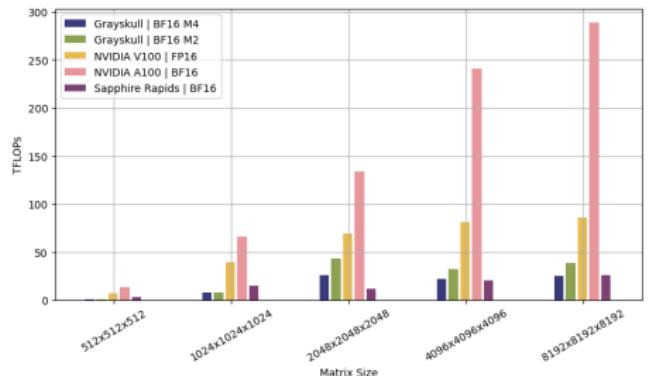


Figure: Performance

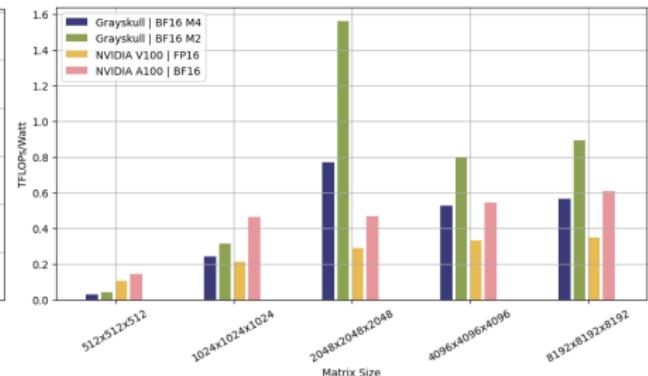


Figure: Eficiência Energética

Reference:

Assessing Tenstorrent's RISC-V MatMul Acceleration Capabilities

# Wormhole n300 - FFT

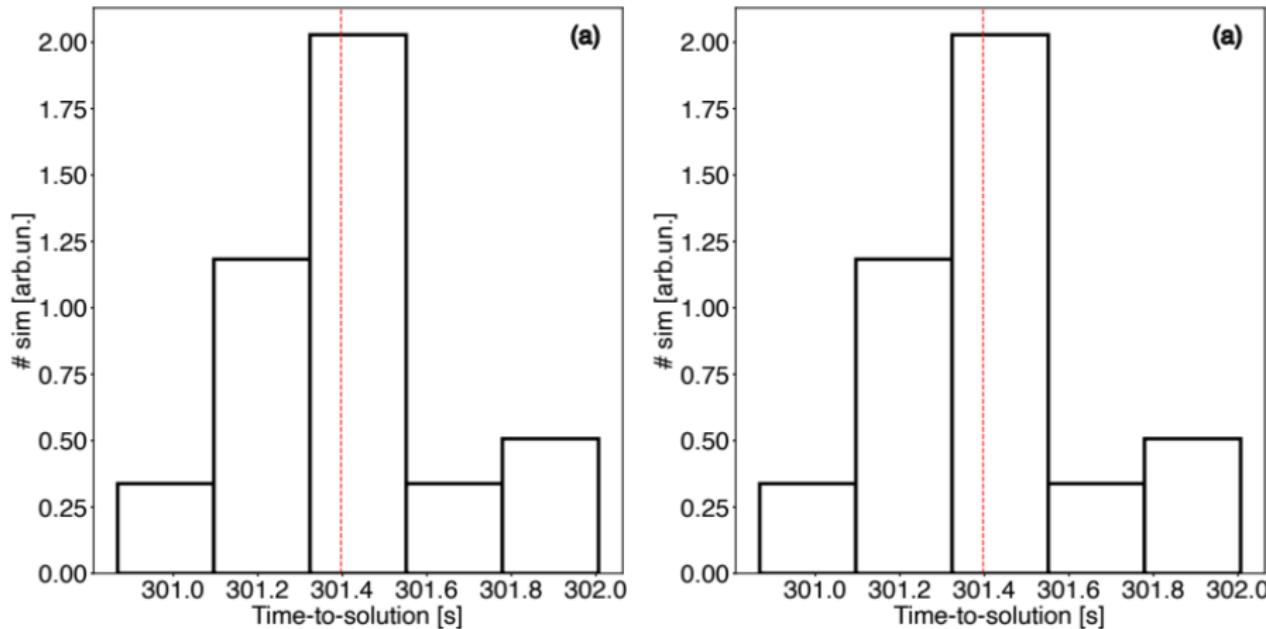
**Table 3.** Runtime of Wormhole n300 and entire Xeon Platinum Cascade Lake CPU executing 2D FFT for problem size 1024 by 1024 elements.

Version	Number of cores	Runtime (ms)	Average Power (Watts)	Energy usage (J)
Xeon Platinum CPU	24	10.24	353	3.62
Wormhole n300	64	23.56	42	0.99

*Reference:*

[Exploring Fast Fourier Transforms on the Tenstorrent Wormhole](#)

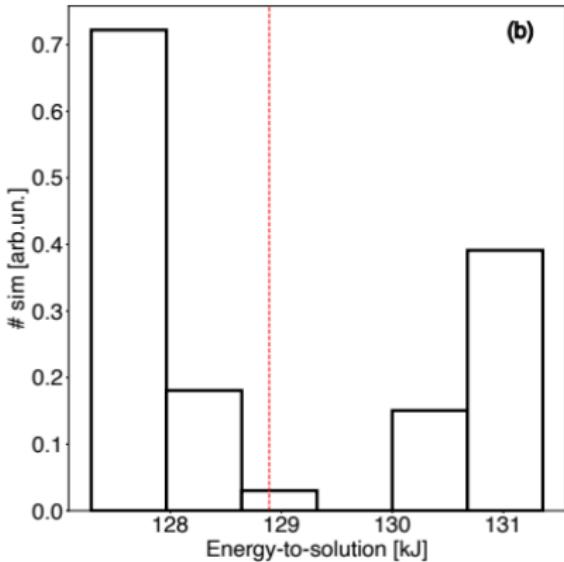
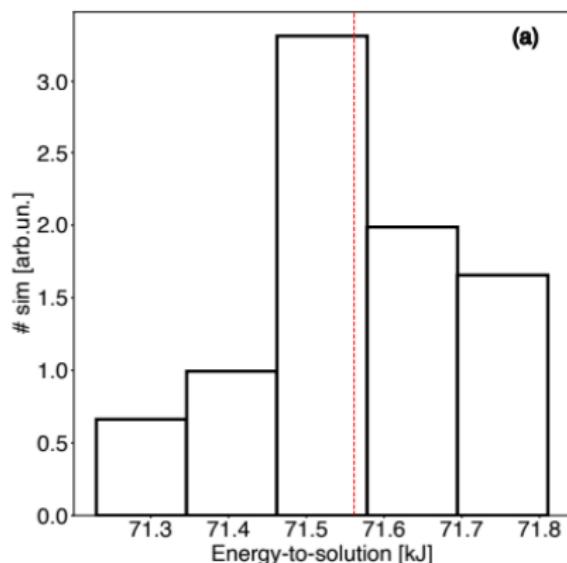
# Wormhole n300 - N-Body



Reference:

Accelerating Gravitational N-Body Simulations Using the RISC-V-Based Tenstorrent Wormhole

# Wormhole n300 - N-Body



Reference:

Accelerating Gravitational N-Body Simulations Using the RISC-V-Based Tensorrent Wormhole

# Conclusão

# Conclusões

- Diversas empresas apresentam propostas e iniciativas para explorar RISC-V no mercado de HPC.
- Poucas empresas possuem produtos RISC-V atualmente disponíveis em escala comercial.
- O ecossistema de software já é relativamente maduro:
  - Compiladores, toolchains e runtimes amplamente suportados.
  - Ecosistema crescente para bibliotecas numéricas e frameworks de ML.
- O hardware disponível ainda está atrás de CPUs e GPUs tradicionais em desempenho absoluto.
- Apesar disso, RISC-V oferece claras vantagens em eficiência energética e especialização arquitetural.

# Trabalhos Futuros

- Executar novos benchmarks em RISC-V:
  - Parboil
  - Rodinia
  - SHOC
- Portar bibliotecas numéricas para a arquitetura Tensix:
  - BLAS / LAPACK
- Executar benchmarks em aceleradores Tenstorrent:
  - Comparar desempenho e eficiência energética
  - Avaliar portabilidade e esforço de otimização

# Obrigado!

Perguntas e Comentários?



**Leon Barboza Evaldo Costa**  
[lmub@cesar.org.br](mailto:lmub@cesar.org.br) [ebc@cesar.org.br](mailto:ebc@cesar.org.br)

*Centro de Estudos e Sistemas Avançados do Recife (CESAR)*

X Escola Regional de Alto Desempenho da Região Sudeste (ERAD-SE 2025)